

1/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2006 The Thomson Corporation. All rts. reserv.

0010729429 - Drawing available

WPI ACC NO: 2001-341161/

XRPX Acc No: N2001-247145

**Rush current prevention circuit for switching power supply, has constant voltage setting circuit to control overvoltage in primary input circuit**

Patent Assignee: NEMIC LAMBDA KK (NEMI-N)

Inventor: SHIMIZU Y

Patent Family (2 patents, 1 countries)

Patent Number	Kind	Date	Application Number	Kind	Date	Update
JP 2001095240	A	20010406	JP 1999270118	A	19990924	200136 B
JP 3574599	B2	20041006	JP 1999270118	A	19990924	200465 E

Priority Applications (no., kind, date): JP 1999270118 A 19990924

#### Patent Details

Number	Kind	Lan	Pg	Dwg	Filing	Notes
JP 2001095240	A	JA	4	4		
JP 3574599	B2	JA	5			Previously issued patent JP 2001095240

#### Alerting Abstract JP A

NOVELTY - Constant voltage setting circuit (3) is provided between the base terminal of the switching transistor (1) and ground line of the primary input circuit, to limit input overvoltage to the primary input circuit, formed by primary of the transformer and other switching element (2).

DESCRIPTION - A current limiting resistor (5) provided to the input side of capacitor (7) forms a parallel connection to the primary input circuit of DC-DC connector. A switching transistor has a by-pass circuit. The switching transistor (2) which inputs the output signal from the input voltage monitoring circuit (4) connected in parallel to the capacitor into a base terminal, has a switching control over the switching transistor (1).

USE - Rush current prevention circuit provided with the input overvoltage limitation function is used in switching power supply.

ADVANTAGE - Converter damage can be prevented as momentary overvoltage is restricted. The circuit is simple, less expensive and pressure resistant.

DESCRIPTION OF DRAWINGS - The figure shows the block diagram of rush current prevention circuit provided with input overvoltage limitation function. (Drawing includes non-English language text).

- 1,2 Switching transistor
- 3 Constant voltage setting circuit
- 4 Input voltage monitoring circuit
- 5 Current limiting resistor
- 7 Capacitor

**Title Terms/Index Terms/Additional Words:** RUSH; CURRENT; PREVENT; CIRCUIT; SWITCH; POWER; SUPPLY; CONSTANT; VOLTAGE; SET; CONTROL; OVERVOLTAGE; PRIMARY; INPUT

#### Class Codes

International Classification (Main): H02M-003/28

File Segment: EPI;

DWPI Class: U24

Manual Codes (EPI/S-X): U24-D01B; U24-D02B1; U24-F02

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-95240

(P2001-95240A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl.<sup>7</sup>

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

テームコード\* (参考)

B 5 H 7 3 0

K

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平11-270118

(22) 出願日

平成11年9月24日 (1999.9.24)

(71) 出願人 390013723

デンセイ・ラムダ株式会社

東京都品川区東五反田一丁目11番15号 電  
波ビルディング

(72) 発明者 清水 芳文

東京都墨田区堤通1丁目19番9号 日本電  
気精器株式会社内

(74) 代理人 100078824

弁理士 増田 竹夫

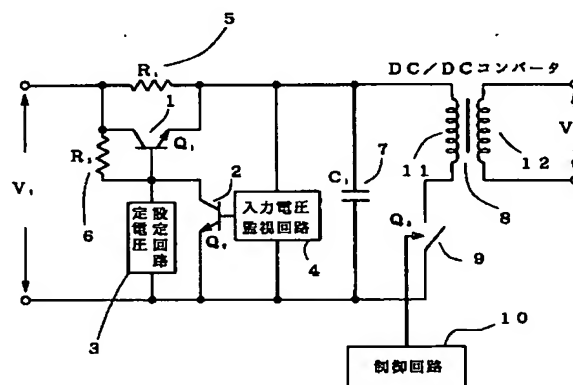
Fターム(参考) 5H730 AA20 BB21 CC22 FD11 XC09  
XX02 XX12 XX22 XX32 XX41

(54) 【発明の名称】 入力過電圧制限機能を備えた突入電流防止回路

(57) 【要約】

【課題】 突入電流防止回路に入力過電圧制限機能を付加させる。

【解決手段】 DC/DCコンバータの1次入力回路に並列接続したコンデンサ7の入力側に設けた限流抵抗5と、そのバイパス回路を構成する第1のスイッチ素子1と、コンデンサ7に並列接続した入力電圧監視回路4からの出力信号をベース端子に入力して第1のスイッチ素子1をオン・オフ制御する第2のスイッチ素子2と、第1のスイッチ素子1のベース端子とグランド・ラインとの間に設けた定電圧設定回路3とによって構成した。



## 【特許請求の範囲】

【請求項 1】 DC/DCコンバータの 1 次入力回路におけるトランスの 1 次コイルと主スイッチ素子より成る直列回路に並列接続したコンデンサと、該コンデンサの入力側の 1 次回路に並列接続した入力電圧監視回路と、該入力電圧監視回路の入力側の 1 次入力回路に直列に挿入した限流抵抗と、該限流抵抗のバイパス回路を構成するコレクタ端子とベース端子との間に抵抗を接続した第 1 のスイッチ素子と、前記入力電圧監視回路からの出力信号をベース端子に入力して第 1 のスイッチ素子をオン・オフ制御する第 2 のスイッチ素子によって構成した突入電流防止回路において、

前記第 1 のスイッチ素子のベース端子と 1 次入力回路のグラウンド・ラインとの間に定電圧設定回路を設け、トランスの 1 次コイルと主スイッチ素子より成る 1 次入力回路への入力過電圧を制限するようにしたことを特徴とする入力過電圧制限機能を備えた突入電流防止回路。

【請求項 2】 コンデンサの入力側の 1 次入力回路に並列接続した第 1 の分圧抵抗回路から入力電圧を検出する入力電圧監視回路と、前記第 1 の分圧抵抗回路の入力側の 1 次入力回路に並列接続した第 2 の分圧抵抗回路からの検出電圧と前記入力電圧監視回路からの出力信号とを入力する 1 次入力回路に並列接続した定電圧設定回路と、1 次入力回路におけるグラウンド・ラインに直列に挿入した限流抵抗と、前記入力電圧監視回路からの検出信号を入力してオン・オフ制御される FET を前記限流抵抗の両端に並列接続して構成し、

DC/DCコンバータの起動に伴う入力電圧を入力電圧監視回路によって検出すると共に限流抵抗によって突入電流を制限するように FET を機能させ、かつ入力過電圧を定電圧設定回路によって制限するようにしたことを特徴とする請求項 1 に記載の入力過電圧制限機能を備えた突入電流防止回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、スイッチング電源の入力回路に設けた過電圧制限機能を備えた突入電流防止回路に関する。

## 【0002】

【従来の技術】 従来のスイッチング電源の入力回路に設けた突入電流防止回路の回路構成は、図 4 に示す通りである。DC/DCコンバータを構成する主トランス 108 の 1 次入力側には、1 次コイル 111 と主スイッチ素子 109 より成る直列回路にコンデンサ 107 が並列接続してある。また、コンデンサ 107 の入力側には、限流抵抗 103 と、そのバイパス回路に設けた第 1 のスイッチ素子 101 と、第 1 のスイッチ素子 101 のコレクタ端子～ベース端子間に設けた抵抗 104 と、前記ベース端子～1 次入力回路のグラウンド・ライン間に挿入した抵抗 105 と、コンデンサ 107 に並列接続した入力電

圧監視回路 106 と、コレクタ端子を第 1 のスイッチ素子のベース端子に接続すると共にエミッタ端子をグラウンド・ラインに接続し、ベース端子を入力電圧監視回路 106 の出力端子に接続した第 2 のスイッチ素子 102 によって突入電流防止回路を構成している。

## 【0003】

【発明が解決しようとする課題】 DC/DCコンバータを起動させると、入力監視回路 106 によって検出された電圧に基づいて第 2 のスイッチ素子 102 がオンとなるので、第 1 のスイッチ素子 101 はオフのままである。従って、入力電圧は限流抵抗 103 を介してコンデンサ 107 を充電させ、コンデンサ 107 の両端電圧が入力電圧  $V_i$  に近づくと充電は完了する。これに伴って第 2 のスイッチ素子 102 がオフとなるので、第 1 のスイッチ素子 101 がオンとなり、限流抵抗 103 の両端を短絡させる。即ち、入力回路に流入した突入電流は限流抵抗 103 によって限流され、コンデンサ 107 を介して 1 次コイル 111 と主スイッチ素子 109 に流入することになる。

【0004】 しかし乍ら、突入電流防止回路には入力過電圧を抑制する機能を備えていないので、入力回路に過電圧が印加された時は、突入電流防止回路とコンデンサ 107 を介して、1 次コイル 111 と主スイッチ素子 109 に過電圧が印加されることになる。入力過電圧による主スイッチ素子の破壊を防ぐためには、主スイッチ素子の耐圧を高めなくてはならない。しかし乍ら、平常時においては高耐圧のスイッチ素子を低圧で使用することになるので、コンバータ効率の低下等の不具合が生ずる。

## 【0005】

【課題を解決するための手段】 この発明は、上述した従来の突入電流防止回路に入力過電圧抑制機能を付加しようとするものであって、スイッチ素子を並列接続した限流抵抗を 1 次入力回路における一線（グラウンド・ラインであってもよい）に直列に挿入しておき、DC/DCコンバータの起動時においては、限流抵抗によって制限された電流が 1 次入力回路へ流入するように限流抵抗に並列接続してあるスイッチ素子をオフとし、定常状態においては前記スイッチ素子をオンとして限流抵抗を短絡させ抵抗損を減少させる。また、入力電圧が所定の電圧以上に上昇した場合には上記定電圧設定回路を作動させ、DC/DCコンバータの 1 次入力側には所定の電圧以上の電圧が印加されないようにした。

## 【0006】

【発明の実施の形態】 この発明の実施例を図 1 と図 2 および図 3 を参照しながら説明する。図 1 は、この発明による第 1 の実施例を示すブロック図である。DC/DCコンバータを構成する主トランス 8 の 1 次コイル 11 と主スイッチ素子 9 より成る直列回路には、コンデンサ 7 が並列接続してある。コンデンサ 7 の入力側には限流抵

## 3

抗 5 と、そのバイパス回路に設けた第 1 のスイッチ素子 1 と、第 1 のスイッチ素子 1 のコレクタ端子～ベース端子間に設けた抵抗 6 およびベース端子とグランド・ライン間に設けた定電圧設定回路（例えば、ツェナーダイオードでもよい）3 と、限流抵抗 5 とコンデンサ 7 との間に並列接続した入力電圧監視回路 4 と、コレクタ端子を第 1 のスイッチ素子 1 のベース端子に接続すると共にエミッタ端子をグランド・ラインに接続し、ベース端子を入力電圧監視回路 4 の出力端子に接続した第 2 のスイッチ素子 2 によって入力電圧制限機能を備えた突入電流防止回路を構成している。

【0007】次に、この発明による入力過電圧制限機能を備えた突入電流防止回路の動作特性を説明する。DC/DC コンバータを起動させる時に流入する突入電流は、突入電流防止回路に設けてある限流抵抗 5 によって抑制されることは既述の通りである。

【0008】DC/DC コンバータの入力電圧  $V_i$  の許容電圧範囲を

$$V_1 \leq V_i \leq V_2$$

とし、第 1 のスイッチ素子 1 のゲート端子とグランド・ライン間に設けた定電圧設定回路（例えばツェナー・ダイオード）3 の設定電圧  $V_z$  を  $V_2$  より少し大きい電圧  $V_3$  にしておくと、入力電圧が  $V_1 \sim V_3$  の範囲では 1 次入力回路にそのまま印加されるが、 $V_3$  以上の電圧は定電圧設定回路 3 によって阻止される。図 3 (a) は 1 次入力回路に流入した過電圧波形を示しており、図 3

(b) は定電圧設定回路によって抑制された入力電圧の並列コンデンサ 7 における端子電圧波形を示しており、入力過電圧が定電圧設定回路の設定電圧  $V_z$  によって抑制されることを示している。

【0009】図 2 は、この発明による第 2 の実施例を示すブロック図であって、並列コンデンサ 7 の入力側には分圧抵抗 16 と 17 より成る第 1 の分圧抵抗回路が並列接続してあり、分圧抵抗 16 と 17 の接続点からの検出信号は入力電圧監視回路 4 に入力する。また、第 2 の分圧抵抗回路を構成する抵抗 14 と 15 の接続点からの検

## 4

出信号と、入力電圧監視回路 4 からの検出信号は 1 次入力回路に並列接続してある定電圧設定回路 3 に入力する。

【0010】1 次入力回路のグランド・ラインには限流抵抗 5 が直列に挿入してあり、その両端には FET 1 が並列接続してある。FET 1 のソース端子は抵抗 6 を介してゲート端子に接続してあり、ゲート端子は抵抗 13 を介して定電圧設定回路 3 からの検出信号を入力するように構成してある。入力電圧監視回路 4、定電圧設定回路 3、限流抵抗 5、および FET 1 の作用は図 1 におけるものと同一であるので説明は省略する。

【0011】

【発明の効果】以上説明したように、1 次入力回路における一線に直列に挿入した限流抵抗の両端に並列接続したスイッチ素子をオン・オフ制御することによって突入電流を制限できる。また、突入電流防止回路に簡単な定電圧設定回路を並列接続することにより、入力過電圧を抑制することができる。従って、瞬時的な過電圧からコンバータ破損を防ぐことができるので、コンバータを構成するスイッチ素子は耐圧の低い安価な素子でよい。。

【図面の簡単な説明】

【図 1】この発明による第 1 の実施例を示すブロック図。

【図 2】この発明による第 2 の実施例を示すブロック図。

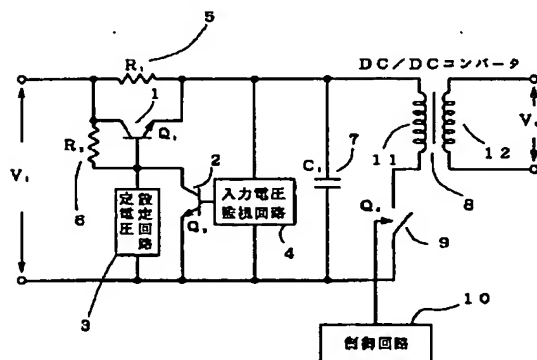
【図 3】波形図。

【図 4】従来技術による突入電流防止回路のブロック図。

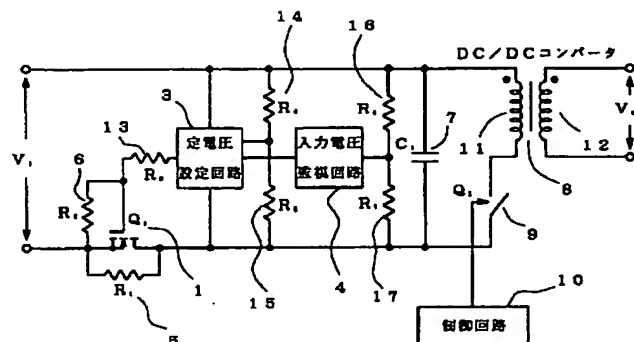
【符号の説明】

- 1, 2, 9 スwitch素子  
3 定電圧設定回路  
4 入力電圧監視回路  
5, 6, 13~17 抵抗  
7 コンデンサ  
8 主トランス

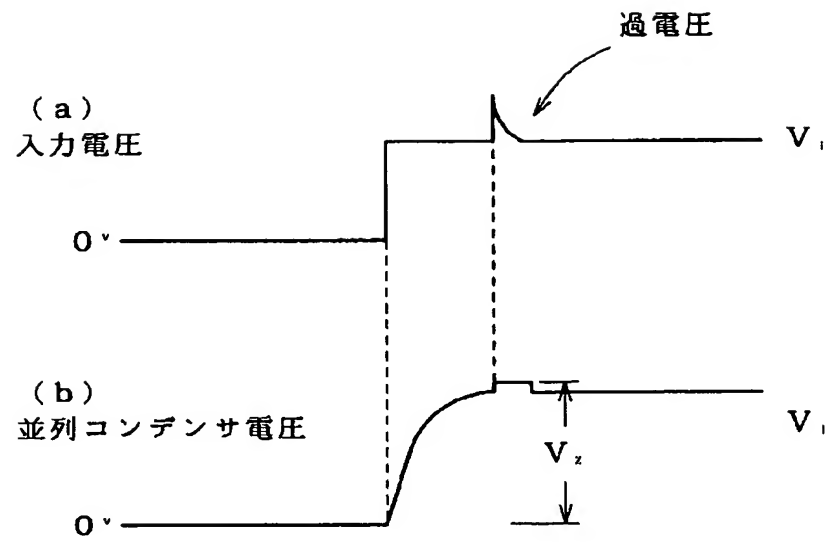
【図 1】



【図 2】



【図 3】



【図 4】

